



1. 基本特性

- ROM: 2048 字节 OTP ROM
- RAM: 72 字节
- 76 个单字指令
- 堆栈级别: 2
- I/O 口: 20
 - B 口: 8 个上拉 I/O 脚位及唤醒功能
 - A0~3 口: 4 个标准 I/O 脚位
 - C0~7 口: 8 个标准 I/O 脚位
 - RTCC: 输入脚位
- 四种外部振荡模式可选择: RC, LS (低速) 晶振, NS (标准速度) 晶振, HS (高速) 晶振
- B 口有信号触发唤醒功能
- 内置 8 位累加定时器/计数器带 8 位可编程预分频器
- 内置看门狗定时器
- 工作电压: 2.2V~5.5V
- 不同的封装方式:
 - MK7A20PD28C: DIP 28 脚位
 - MK7A20PSD28C: SDIP 28 脚位
 - MK7A20PS28C: SOP 28 脚位
 - MK7A20PSS28C: SSOP 28 脚位
 - MK7A20PSD20C: SDIP 20 脚位
 - MK7A20PS20C: SOP 20 脚位
 - MK7A20PSD18C: SDIP 18 脚位
 - MK7A20PS18C: SOP 18 脚位



2. 脚位分配

RTCC	1	●	28	RESETB
VDD	2		27	OSC1
NC	3		26	OSC2
VSS	4		25	PC7
NC	5		24	PC6
PA0	6		23	PC5
PA1	7		22	PC4
PA2	8		21	PC3
PA3	9		20	PC2
PB0	10		19	PC1
PB1	11		18	PC0
PB2	12		17	PB7
PB3	13		16	PB6
PB4	14		15	PB5

28脚 SDIP, DIP 或 SOP 封装

VSS	1	●	28	RESETB
RTCC	2		27	OSC1
VDD	3		26	OSC2
VDD	4		25	PC7
PA0	5		24	PC6
PA1	6		23	PC5
PA2	7		22	PC4
PA3	8		21	PC3
PB0	9		20	PC2
PB1	10		19	PC1
PB2	11		18	PC0
PB3	12		17	PB7
PB4	13		16	PB6
VSS	14		15	PB5

28脚 SSOP 封装

PC4	1	●	20	PC3
PC5	2		19	PB7
PC6	3		18	PB6
PC7	4		17	PB5
OSC2	5		16	PB4
OSC1	6		15	PB3
RESETB	7		14	PB2
VDD	8		13	PB1
VSS	9		12	PB0
PA0	10		11	PA1

20脚 SDIP 及 SOP 封装

PC5	1	●	18	PB7
PC6	2		17	PB6
PC7	3		16	PB5
OSC2	4		15	PB4
OSC1	5		14	PB3
RESETB	6		13	PB2
VDD	7		12	PB1
VSS	8		11	PB0
PA0	9		10	PA1

18脚 SDIP 及 SOP 封装

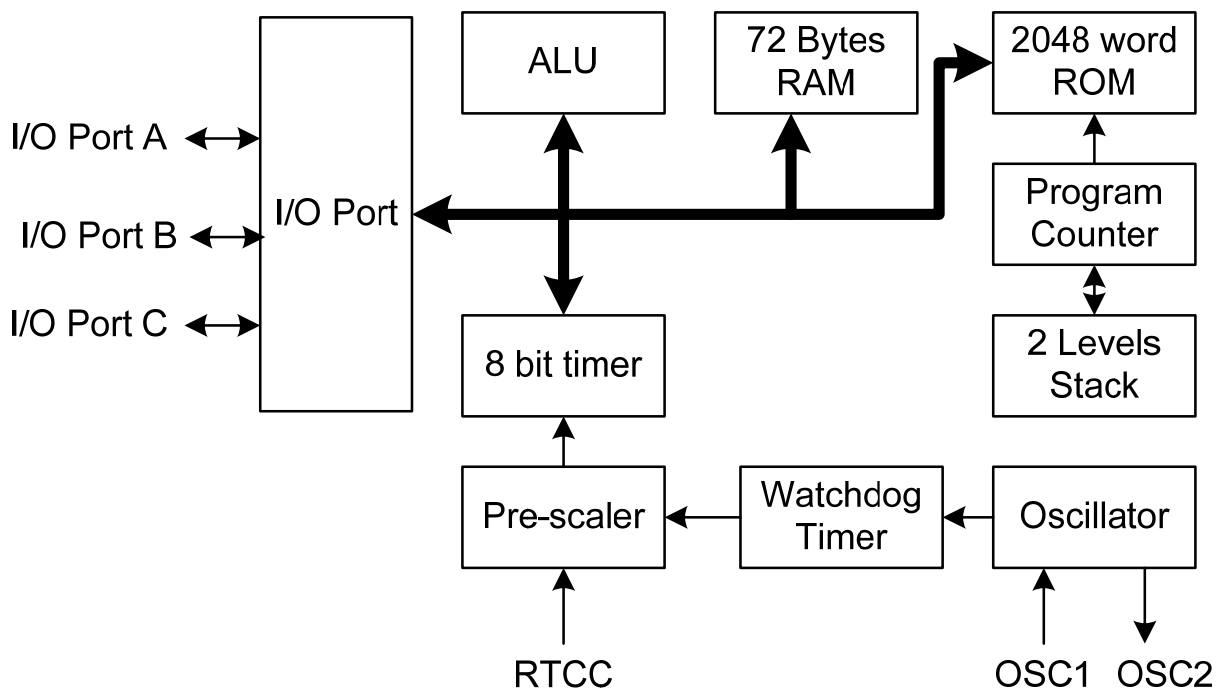


3. 脚位描述

名称	I/O	描述
RTCC	I	1. 外部时钟或脉冲输入到 TMR0 计数器 2. PA4 输入 (当 config. Bit6 设置为 1 时)
PA3~0	I/O	I/O 口 A0~3
PB7~0	I/O	1. I/O 口 B0~7 2. 信号触发唤醒 (当 config. Bit7 设置为 1 时) 3. 上拉电阻 (当 config. Bit7 设置为 1 时)
PC7~0	I/O	I/O 口 C0~7
RESETB	I	系统复位信号
OSC1	I	振荡器输入
OSC2	O	振荡器输出
VDD	P	系统电源
VSS	P	接地

<注> I: 输入; O: 输出; I/O: 输入/输出; P: 电源

4. 系统图表





5. 存储器映象

5.1 程序存储器

000H	PAGE 0
1FFH	
200H	PAGE 1
3FFH	
400H	PAGE 2
5FFH	
600H	PAGE 3
7FFH (RESET VECTOR)	

< 注 > LCALL 和 LGOTO 允许直接在 2K 字节的地址内选址。

5.2 控制寄存器

Name	Addr	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CONFIG		TYPE	RTCE	LV1	LV0	CPT	WDTE	FOSC1	FOSC0
SELECT		X	X	SUR0	EDGE0	PSA	PS2	PS1	PS0
IAR	\$00	X	X	X	A4	A3	A2	A1	A0
TMR0	\$01	D7	D6	D5	D4	D3	D2	D1	D0
PC	\$02	D7	D6	D5	D4	D3	D2	D1	D0
STATUS	\$03	X	SA1	SA0	TOB	PDB	Z	DC	C
BSR	\$04	X	X	X	D4	D3	D2	D1	D0
I/O Port A	\$05	X	X	X	X	PA3	PA2	PA1	PA0
I/O Port B	\$06	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
I/O Port C	\$07	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0



5.3 结构寄存器

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CONFIG	TYPE	RTCE	LV1	LV0	CPT	WDTE	FOSC1	FOSC0

Bit 1	Bit 0	OSC 类型	频率范围
0	0	LS (低速)	32~200KHz
0	1	NS (标准速度)	200K~10MHz
1	0	HS (高速)	10~20MHz
1	1	RC	32K~10MHz

Bit 2	描 述
0	看门狗定时器不允许
1	看门狗定时器允许

Bit 3	描 述
0	密码保护 开
1	密码保护 关

Bit 5	Bit 4	检测电压标准
0	0	4V
0	1	No use
1	0	2V
1	1	No use

Bit 6	描 述
0	只定时器输入
1	PA4 输入



Bit 7	描 述
0	B 口无信号触发唤醒功能
1	B 口有信号触发唤醒功能

<注> 当 B 口处于输入模式时，上拉电阻有效。

5.4 选择寄存器

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SELECT			SUR0	EDGE0	PSA	PS2	PS1	PS0

Bit 2	Bit 1	Bit 0	描 述	
PS2	PS1	PS0	TMR0 比率	WDT 比率
0	0	0	1:2	1:1
0	0	1	1:4	1:2
0	1	0	1:8	1:4
0	1	1	1:16	1:8
1	0	0	1:32	1:16
1	0	1	1:64	1:32
1	1	0	1:128	1:64
1	1	1	1:256	1:128

Bit 3	描 述
0	预分频器分配到 TMR0
1	预分频器分配到 WTD

Bit 4	描 述
0	外部时钟信号边沿上升时（从低电平到高电平），定时器加 1
1	外部时钟信号边沿下降时（从高电平到低电平），定时器加 1

Bit 5	描 述
0	TMR0 时钟源是（系统时钟/4）
1	TMR0 时钟源是 RTCC 输入



5.5 数据存储（寄存器和随机存储器）

数据存储由寄存器和随机存储器组成，地址映象如下表所示：

	BANK0	BANK1	BANK2	BANK3
00H	IAR			
01H	TMR0			
02H	PC			
03H	STATUS			
04H	BSR			
05H	PORT A			
06H	PORT B			
07H	PORT C			
08H	General Purpose Register			
0FH	General Purpose Registers 10H~1FH	General Purpose Registers 30H~3FH	General Purpose Registers 50H~5FH	General Purpose Registers 70H~7FH

5.5.1 IAR: 间接寻址寄存器，它与BSR一起使用来访问物理地址。

5.5.2 TMR0: 8位累加定时器寄存器

5.5.3 PC: 程序计数器，11位计数器寄存器



5.5.4 STATUS: 状态寄存器

位	符号	描述		
0	C	进位位与借位位		
		加指令		减指令
		1: 从 MSB 进位 0: 无进位	1: 无借位 ^(注1) 0: 从MSB借位	
1	DC	四位进位位与四位借位位		
		加指令		减指令
		1: 从低四位进位 0: 无低四位进位	1: 无低四位借位 0: 从低四位借位	
2	Z	零标志位: 1: 逻辑操作结果是0 0: 逻辑操作结果非0		
3	PDB	掉电标记位: ^(注2) 1: 上电后或执行CLRWDWT指令后, 结果为1 0: 执行SLEEP指令后, 结果为0		
4	TOB	溢出标志位: 1: 上电后或执行CLRWDWT或SLEEP指令后, 结果为1 0: WDT时间溢出时, 结果为0		
6~5	SA1~SA0	SA1	SA0	页位置
		0	0	Page 0 (000H~1FFH)
		0	1	Page 1 (200H~3FFH)
		1	0	Page 2 (400H~5FFH)
		1	1	Page 3 (600H~7FFH)

<注1>: 减指令的执行是通过与减数的二进制补码相加来实现的, C=1代表结果是正数。进位与借位之间的关系如下表所示:

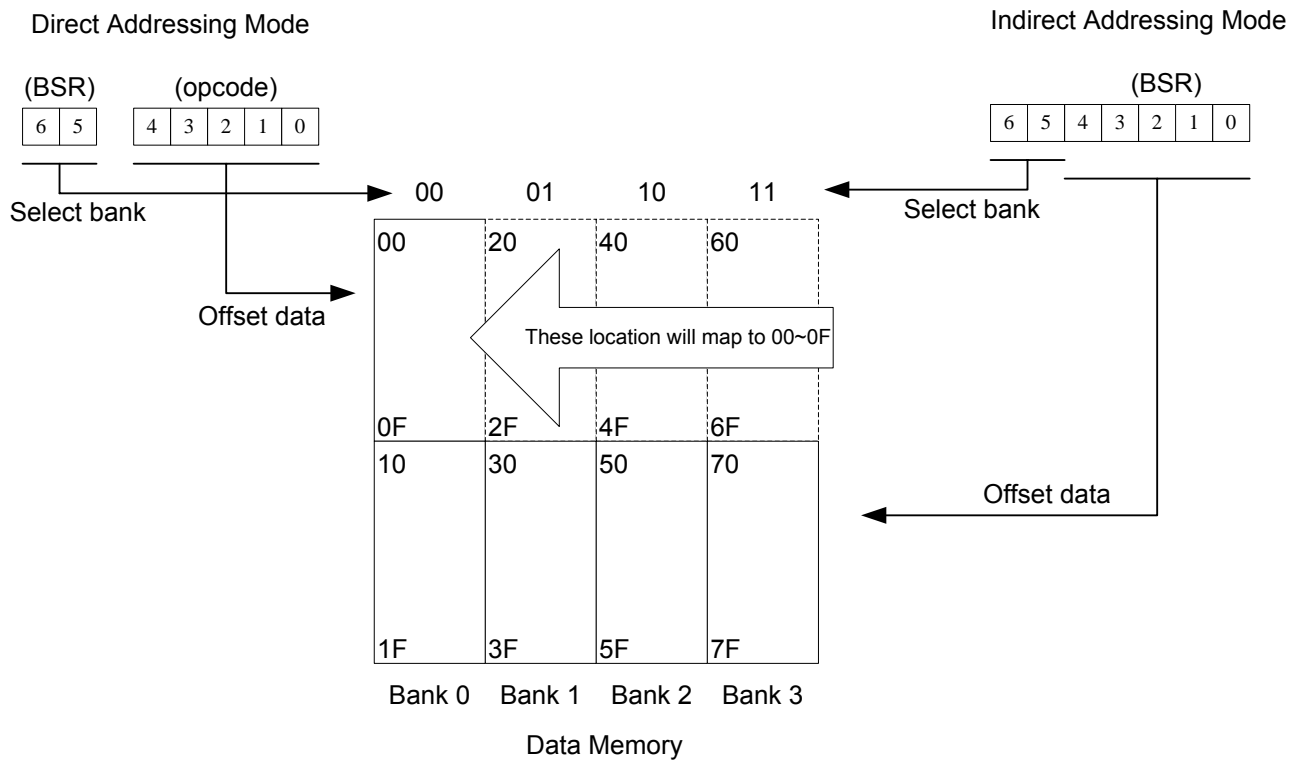
B0H – 50H										50H – B0H									
	C	B7	B6	B5	B4	B3	B2	B1	B0		C	B7	B6	B5	B4	B3	B2	B1	B0
+		1	0	1	1	0	0	0	0	+		0	1	0	1	0	0	0	0
=	1	0	1	1	0	0	0	0	0	=	0	1	0	1	0	0	0	0	0



< 注 2 >: TOB 和 PDB 位是低有效，可决定复位的不同原因。下表举例说明了不同复位后 TOB 和 PDB 的值。

TOB	PDB	复位结果
0	0	从睡眠模式 WDT 超时
0	1	从一般模式 WDT 超时
1	0	从睡眠模式 RESETB 复位
1	1	上电复位
不变	不变	从一般模式 RESETB 复位

5.5.5 BSR: Bank选择寄存器，它和间接寻址寄存器一起间接地访问数据存储器。



5.5.6 A~B 口是可编程的 I/O 口，复位时所有的 I/O 口都被置为输入模式。



5.6 复位

以下3种情况会引起系统复位：

5.6.1 上电

5.6.2 输入一个低电信号到RESETB

5.6.3 当WDTE标记允许及定时器溢出

5.7 所有RAM的复位条件

地址	名称	冷复位	热复位
N/A	Accumulator	xxxx xxxx	pppp pppp
N/A	IODIR	1111 1111	1111 1111
N/A	Select	--11 1111	--11 1111
00h	IAR	---- ----	---- ----
01h	TMR0	xxxx xxxx	pppp pppp
02h	PC	111 1111 1111	111 1111 1111
03h	STATUS	0001 1xxx	000# #ppp
04h	BSR	1xxx xxxx	1ppp pppp
05h	PORTA	0000 xxxx	0000 pppp
06h	PORTB	xxxx xxxx	pppp pppp
07h	PORTC	xxxx xxxx	pppp pppp
	General Purpose RAM	xxxx xxxx	pppp pppp

<注> x: 未知的； p: 保存为原来的数值； #: 依据不同复位条件的数值；

-: 不执行，清“0”



5.8 唤醒功能

此芯片提供脚位信号触发唤醒功能，当输入口有信号触发，芯片将会从睡眠模式中返回。为了从睡眠模式中安全唤醒，我们建议在进入睡眠模式前将输入脚位读为储备数据。编程举例如下所示：

```
MOVLA    FFh
IODIR    PORTB ;//设置B口的0~7脚位为输入，只有输入脚位会被唤醒
.....
MOV      PORTB,a ;//睡眠前存储输入脚位数据
SLEEP                    ;//如果不能执行读取指令，则不能进入SLEEP模式
NOP                      ;//当芯片唤醒时增加NOP指令来延迟一会儿
```



6. 指令集

Mnemonic Operands	Instruction Code (Advance)	Cycles	Status Affected	OP-code
ADD M, m	(M)+(acc) → (M)	1	C, DC, Z	01 0101 1MMM MMMM
ADD M, a	(M)+(acc) → (acc)	1	C, DC, Z	01 0101 0MMM MMMM
AND M, m	(M) · (acc) → (M)	1	Z	01 0100 1MMM MMMM
AND M, a	(M) · (acc) → (acc)	1	Z	01 0100 0MMM MMMM
ANDLA I	Literal · (acc) → (acc)	1	Z	11 1001 iiiii iiiii
BC M, b0	Clear bit0 of (M)	1	None	00 1100 0MMM MMMM
BC M, b1	Clear bit1 of (M)	1	None	00 1100 1MMM MMMM
BC M, b2	Clear bit2 of (M)	1	None	00 1101 0MMM MMMM
BC M, b3	Clear bit3 of (M)	1	None	00 1101 1MMM MMMM
BC M, b4	Clear bit4 of (M)	1	None	00 1110 0MMM MMMM
BC M, b5	Clear bit5 of (M)	1	None	00 1110 1MMM MMMM
BC M, b6	Clear bit6 of (M)	1	None	00 1111 0MMM MMMM
BC M, b7	Clear bit7 of (M)	1	None	00 1111 1MMM MMMM
BS M, b0	Set bit0 of (M)	1	None	00 1000 0MMM MMMM
BS M, b1	Set bit1 of (M)	1	None	00 1000 1MMM MMMM
BS M, b2	Set bit2 of (M)	1	None	00 1001 0MMM MMMM
BS M, b3	Set bit3 of (M)	1	None	00 1001 1MMM MMMM
BS M, b4	Set bit4 of (M)	1	None	00 1010 0MMM MMMM
BS M, b5	Set bit5 of (M)	1	None	00 1010 1MMM MMMM
BS M, b6	Set bit6 of (M)	1	None	00 1011 0MMM MMMM
BS M, b7	Set bit7 of (M)	1	None	00 1011 1MMM MMMM
BTSC M, b0	If bit0 of (M) = 0, skip next instruction	1 + (skip)	None	00 0100 0MMM MMMM
BTSC M, b1	If bit1 of (M) = 0, skip next instruction	1 + (skip)	None	00 0100 1MMM MMMM
BTSC M, b2	If bit2 of (M) = 0, skip next instruction	1 + (skip)	None	00 0101 0MMM MMMM
BTSC M, b3	If bit3 of (M) = 0, skip next instruction	1 + (skip)	None	00 0101 1MMM MMMM
BTSC M, b4	If bit4 of (M) = 0, skip next instruction	1 + (skip)	None	00 0110 0MMM MMMM
BTSC M, b5	If bit5 of (M) = 0, skip next instruction	1 + (skip)	None	00 0110 1MMM MMMM
BTSC M, b6	If bit6 of (M) = 0, skip next instruction	1 + (skip)	None	00 0111 0MMM MMMM



BTSC M, b7	If bit7 of (M) = 0, skip next instruction	1 + (skip)	None	00 0111 1MMM MMMM
BTSS M, b0	If bit0 of (M) = 1, skip next instruction	1 + (skip)	None	00 0000 0MMM MMMM
BTSS M, b1	If bit1 of (M) = 1, skip next instruction	1 + (skip)	None	00 0000 1MMM MMMM
BTSS M, b2	If bit2 of (M) = 1, skip next instruction	1 + (skip)	None	00 0001 0MMM MMMM
BTSS M, b3	If bit3 of (M) = 1, skip next instruction	1 + (skip)	None	00 0001 1MMM MMMM
BTSS M, b4	If bit4 of (M) = 1, skip next instruction	1 + (skip)	None	00 0010 0MMM MMMM
BTSS M, b5	If bit5 of (M) = 1, skip next instruction	1 + (skip)	None	00 0010 1MMM MMMM
BTSS M, b6	If bit6 of (M) = 1, skip next instruction	1 + (skip)	None	00 0011 0MMM MMMM
BTSS M, b7	If bit7 of (M) = 1, skip next instruction	1 + (skip)	None	00 0011 1MMM MMMM
CLRA	Clear accumulator	1	Z	01 0001 0000 0000
CLR M	Clear memory M	1	Z	01 0001 1MMM MMMM
CLRWDT	Clear watch-dog register	1	TO, PO	01 0000 0000 0001
COM M, m	$\sim(M) \rightarrow (M)$	1	Z	01 0010 1MMM MMMM
COM M, a	$\sim(M) \rightarrow (\text{acc})$	1	Z	01 0010 0MMM MMMM
DEC M, m	Decrement M to M	1	Z	01 0110 1MMM MMMM
DEC M, a	$(M) - 1 \rightarrow (\text{acc})$	1	Z	01 0110 0MMM MMMM
DECSZ M, m	$(M) - 1 \rightarrow (M)$, skip if (M) = 0	1 + (skip)	None	01 0111 1MMM MMMM
DECSZ M, a	$(M) - 1 \rightarrow (\text{acc})$, skip if (M) = 0	1 + (skip)	None	01 0111 0MMM MMMM
INC M, m	$(M) + 1 \rightarrow (M)$	1	Z	01 1000 1MMM MMMM
INC M, a	$(M) + 1 \rightarrow (\text{acc})$	1	Z	01 1000 0MMM MMMM
INCSZ M, m	$(M) + 1 \rightarrow (M)$, skip if (M) = 0	1 + (skip)	None	01 1001 1MMM MMMM
INCSZ M, a	$(M) + 1 \rightarrow (\text{acc})$, skip if (M) = 0	1 + (skip)	None	01 1001 0MMM MMMM
IODIR M	Set i/o direction	1	None	01 0000 0000 0MMM
IOR M, m	$(M) \text{ ior } (\text{acc}) \rightarrow (M)$	1	Z	01 1111 1MMM MMMM
IOR M, a	$(M) \text{ ior } (\text{acc}) \rightarrow (\text{acc})$	1	Z	01 1111 0MMM MMMM
IORLA I	Literal ior (acc) \rightarrow (acc)	1	Z	11 0011 iii iii
LCALL I	Call subroutine. However, LCALL can addressing 2K address	2	None	10 0iii iii iii
LGOTO I	Go branch to any address	2	None	10 1iii iii iii



MOVAM m	Move data form acc to memory	1	None	01 0000 1MMM MMMM
MOVLA I	Move literal to accumulator	1	None	11 0001 iiiiiiii
MOV M, m	(M) → (M)	1	Z	01 0011 1MMM MMMM
MOV M, a	(M) → (acc)	1	Z	01 0011 0MMM MMMM
NOP	No operation	1	None	01 0000 0000 0000
RET	Return	2	None	11 1111 0111 1111
RETI	Return and enable INTM	2	None	11 1111 1111 1111
RETLA I	Return and move literal to accumulator	2	None	11 1100 iiiiiiii
RL M, m	Rotate left from m to itself	1	C	01 1100 1MMM MMMM
RL M, a	Rotate left from m to acc	1	C	01 1100 0MMM MMMM
RR M, m	Rotate right from m to itself	1	C	01 1110 1MMM MMMM
RR M, a	Rotate right from m to acc	1	C	01 1110 0MMM MMMM
SELECT	Set select register	1	None	01 0000 0000 0010
SLEEP	Enter sleep (saving) mode	1	TO, PO	01 0000 0000 0011
SUB M, m	(M) – (acc) → (M)	1	C, DC, Z	01 1010 1MMM MMMM
SUB M, a	(M) – (acc) → (acc)	1	C, DC, Z	01 1010 0MMM MMMM
SWAP M, m	Swap data from m to itself	1	None	01 1101 1MMM MMMM
SWAP M, a	Swap data from m to acc	1	None	01 1101 0MMM MMMM
XOR M, m	(M) xor (acc) → (M)	1	Z	01 1011 1MMM MMMM
XOR M, a	(M) xor (acc) → (acc)	1	Z	01 1011 0MMM MMMM
XORLA I	Literal xor (acc) → (acc)	1	Z	11 1000 iiiiiiii



7. 电气特性

7.1 绝对最大额定值

电源电压 Vss-0.3V to Vss+5.5V 存储温度 -50°C to 125°C
 输入电压 Vss-0.3V to VDD+0.3V 工作温度 0°C to 70°C

7.2 直流电特性

Symbol	Parameter	Test Conditions		Min.	Typ.	Max.	Unit
		VDD	Conditions				
VDD	Operating Voltage	---		2.2		5.5	V
V _{DVT}	Detect Voltage	5V	Low Voltage Detector (I _{dd} = 3uA) Config bit6.bit5=00		3.5		V
		3V	Low Voltage Detector (I _{dd} = 1.5uA) Config bit6.bit5=10		2.1		V
V _{IL}	Input Low Voltage	5V	I/O Port			0.8	V
I _{DD1}	Standby Current	5V	WDT disable		1		uA
			WDT enable		10		
I _{IL}	Input Leakage Current	5V	Vin=VDD, VSS		1		uA
I _{DD1}	Standby Current	5V	LVD disable,WDT disable, LV disable		1		uA
			LVD disable,WDT enable, LV disable		5		
		3V	LVD disable,WDT disable, LV disable		1		
			LVD disable,WDT enable, LV disable		2		
I _{IL}	Input Leakage Current	5V	Vin=VDD, VSS		1		uA
			Vol=01V		35		
			Vol=1.5V		50		
R _{PUHI}	Pull_Hi Pin Resister	5V	Set PortB input pin and Pull_Hi		60		KΩ
		3V	Set PortB input pin and Pull_Hi		150		



7.3 交流电特性

Symbol	Parameter	Test Conditions		Min	Typ	Max	Unit
		VDD	Conditions				
f _{sys1}	System Clock	5V	LS Crystal mode	32		455	Khz
		3V		32		455	
f _{sys2}	System Clock	5V	NT Crystal mode	1		10	Mhz
		3V		1		10	
f _{sys3}	System Clock	5V	HS Crystal mode	10		20	Mhz
		3V		10		20	
f _{sys4}	System Clock	5V	RC mode	32K		10	Mhz
		3V		32K		10	
T _{wdt}	Watchdog Timer	5V			20		mS
		3V			25		
T _{rht}	Reset Hold Time	5V			20		mS
		3V			25		

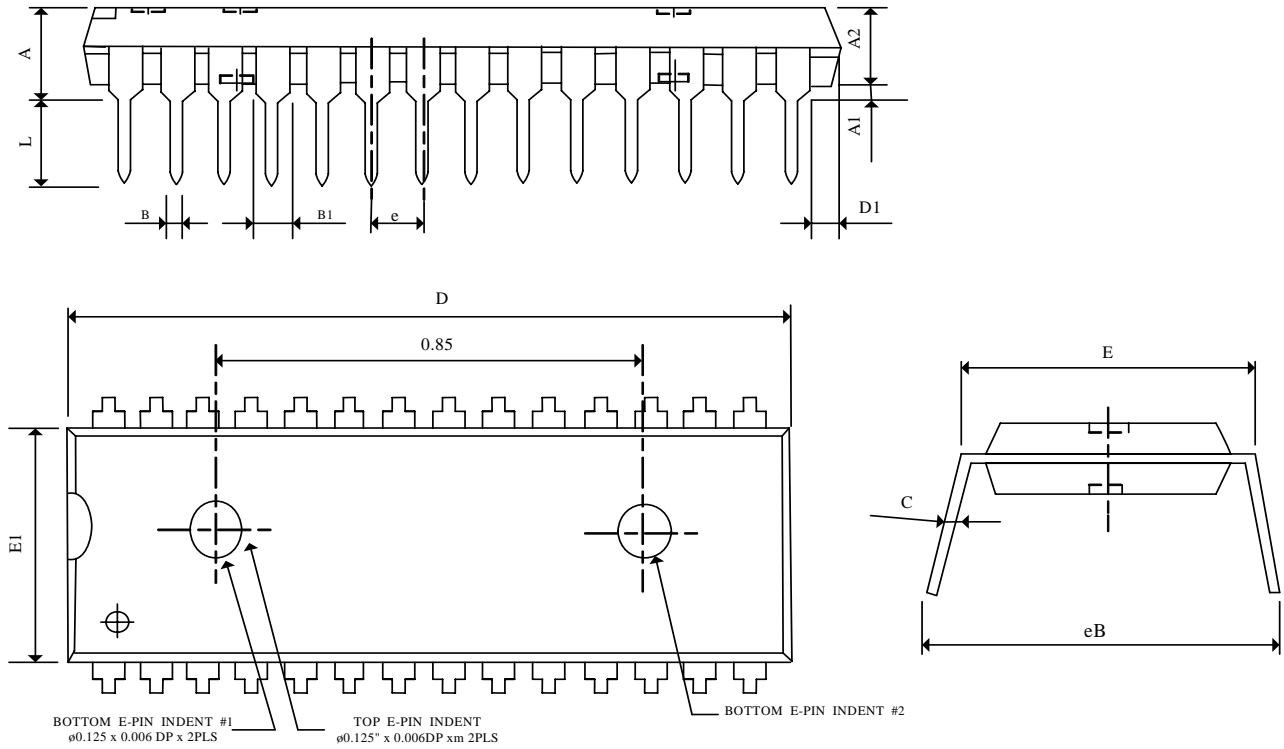
7.4 外部 RC 数据表

R value	C value	RC frequency	R connect to (VDD, OSC1)
4.9 M	0.1u (need)	32 Khz	电容器需要稳定的频率
250 K	0.1u (suggest)	455 Khz	
116 K	0.1u (suggest)	1 Mhz	
60 K	0.1u (suggest)	2 Mhz	
32 K	0.1u (suggest)	4 Mhz	
18 K	0.1u (suggest)	8 Mhz	
14 K	0.1u (suggest)	10 Mhz	



8. 封装尺寸

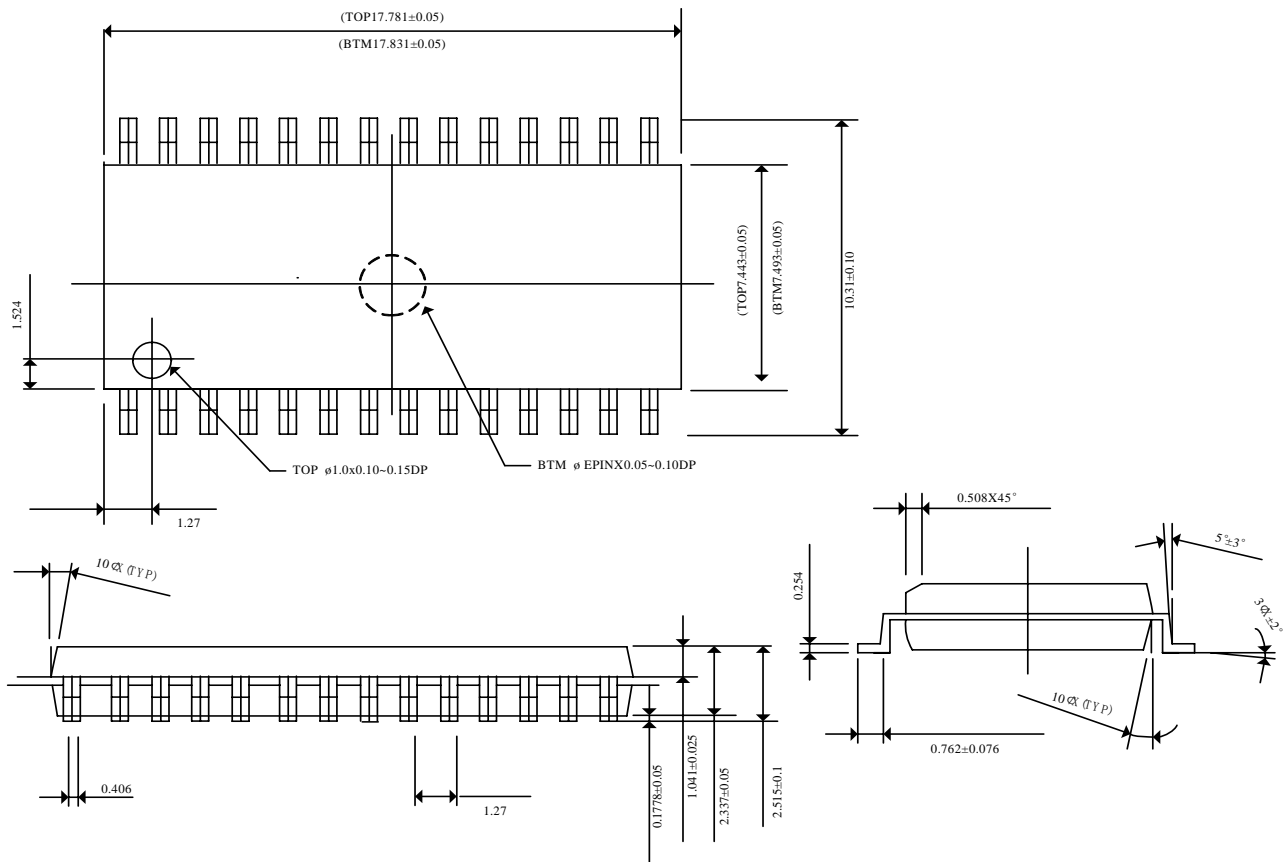
(a) 28 Pin DIP (600 mil)



SYMBOLS	DIMENSIONS IN MILLIMETERS			DIMENSIONS IN INCHES		
	MIN	NOM	MAX	MIN	NOM	MAX
A	—	—	5.59	—	—	0.220
A1	0.38	—	—	0.015	—	—
A2	3.71	3.91	4.11	0.146	0.154	0.162
B	0.36	0.46	0.56	0.014	0.018	0.022
B1	1.02	1.27	1.56	0.040	0.050	0.065
C	0.20	0.25	0.33	0.008	0.010	0.013
D	36.58	37.14	37.34	1.440	1.462	1.470
D1	0.13	—	—	0.005	—	—
E	15.24	—	15.88	0.600	—	0.625
E1	13.64	1.89	14.15	0.537	0.547	0.557
e	—	2.54	—	—	0.100	—
L	3.18	—	4.06	0.125	—	0.160
eB	15.88	—	16.89	0.625	—	0.665

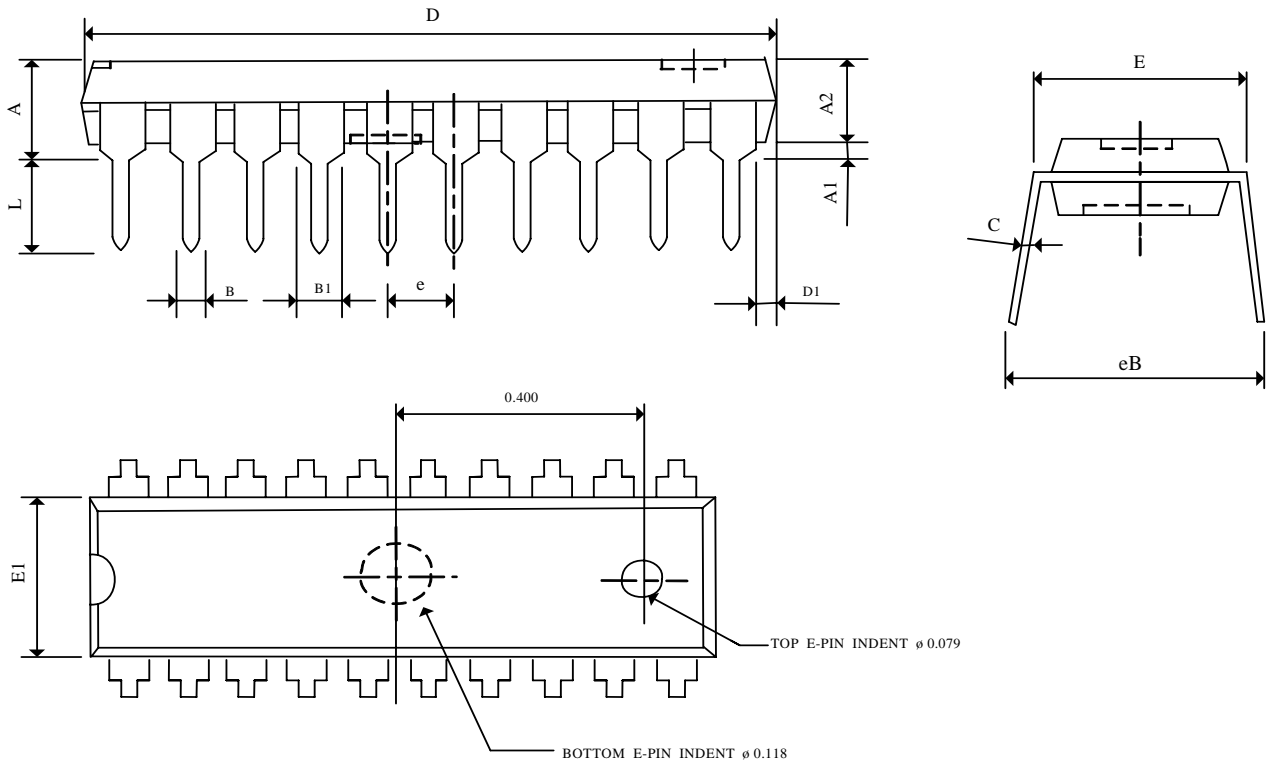


(b) 28 Pin SOP





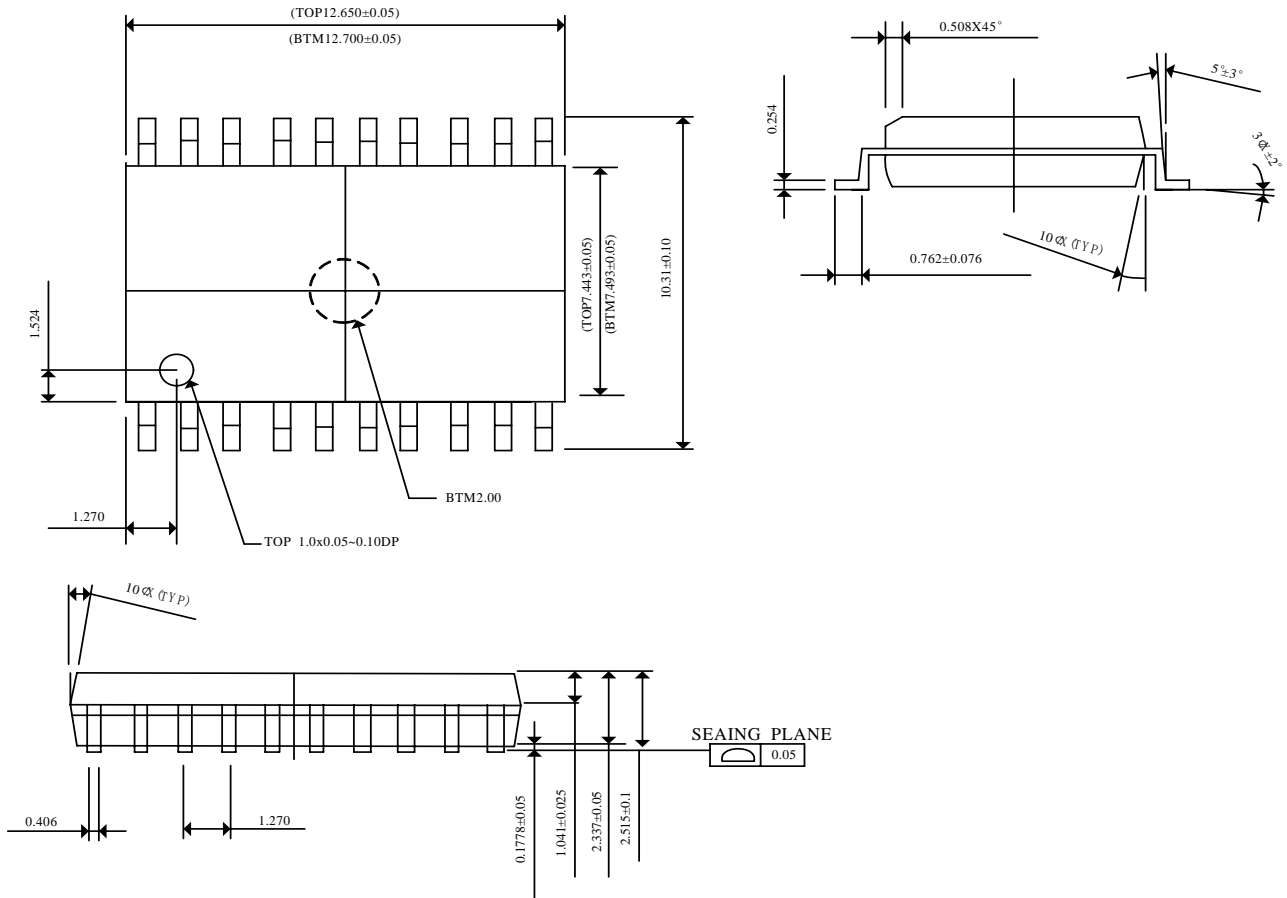
(c) 20 Pin DIP



SYMBOLS	DIMENSIONS IN MILLIMETERS			DIMENSIONS IN INCHES		
	MIN	NOM	MAX	MIN	NOM	MAX
A	—	—	4.57	—	—	0.180
A1	0.38	—	—	0.015	—	—
A2	—	3.30	3.56	—	0.130	0.140
B	0.36	0.46	0.56	0.014	0.018	0.022
B1	1.27	1.52	1.78	0.050	0.060	0.070
C	0.20	0.25	0.33	0.008	0.010	0.013
D	26.32	26.42	26.52	1.036	1.040	1.044
D1	0.43	0.56	0.69	0.017	0.022	0.027
E	7.62	—	8.26	0.300	—	0.325
E1	6.40	6.50	6.65	0.252	0.256	0.262
e	—	2.54	—	—	0.100	—
L	3.18	—	—	0.125	—	—
eB	8.38	—	9.65	0.330	—	0.380

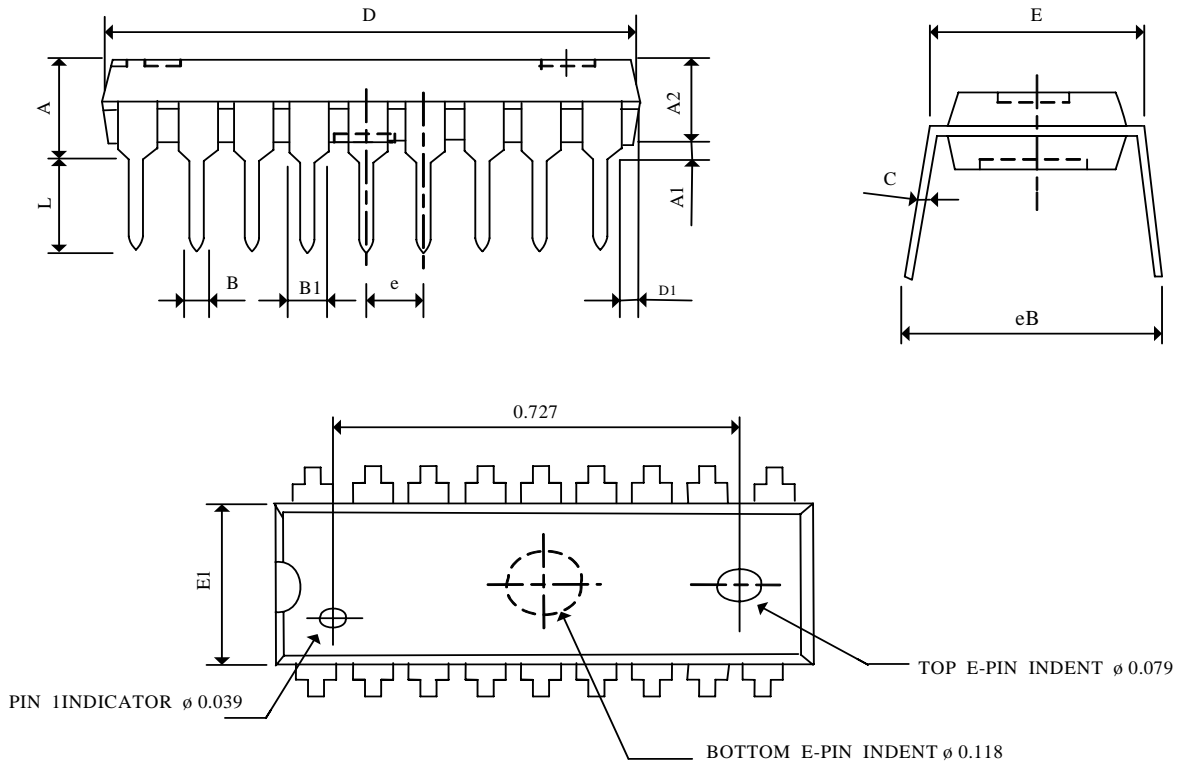


(d) 20 Pin SOP





(e) 18 Pin DIP



SYMBOLS	DIMENSIONS IN MILLIMETERS			DIMENSIONS IN INCHES		
	MIN	NOM	MAX	MIN	NOM	MAX
A	—	—	4.57	—	—	0.180
A1	0.38	—	—	0.015	—	—
A2	—	3.30	3.56	—	0.130	0.140
B	0.36	0.46	0.56	0.014	0.018	0.022
B1	1.27	1.52	1.78	0.050	0.060	0.070
C	0.20	0.25	0.33	0.008	0.010	0.013
D	22.71	22.96	23.11	0.894	0.904	0.910
D1	0.43	0.56	0.69	0.017	0.022	0.027
E	7.62	—	8.26	0.300	—	0.325
E1	6.40	6.50	6.65	0.252	0.256	0.262
e	—	2.54	—	—	0.100	—
L	3.18	—	—	0.125	—	—
eB	8.38	—	9.65	0.330	—	0.380



(f) 18 Pin SOP

